

MODULE BOARD

Patent Number: JP7050498
Publication date: 1995-02-21
Inventor(s): OCHIAI TATSUYA; others: 01
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP7050498
Application Number: JP19930196273 19930806
Priority Number(s):
IPC Classification: H05K9/00; H05K1/02; H05K1/11; H05K3/46
EC Classification:
Equivalents:

Abstract

PURPOSE:To improve electric characteristics and stability characteristics by avoiding separation of the shield conductor of a shield layer with regard to a multilayered board where high-density patterns are formed.

CONSTITUTION:Through-holes 23a, 23b formed in contact terminals 25 arrayed in a high density are arrayed in a stagger form so that shield conductors 22 may be interposed in the clearances of the through-holes 23a, 23b in a shield layer 212.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50498

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	9/00	R		
	1/02	P	8824-4E	
	1/11	D	7511-4E	
	3/46	N	6921-4E	

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平5-196273

(22) 出願日 平成5年(1993)8月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 落合 達也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 今村 和之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

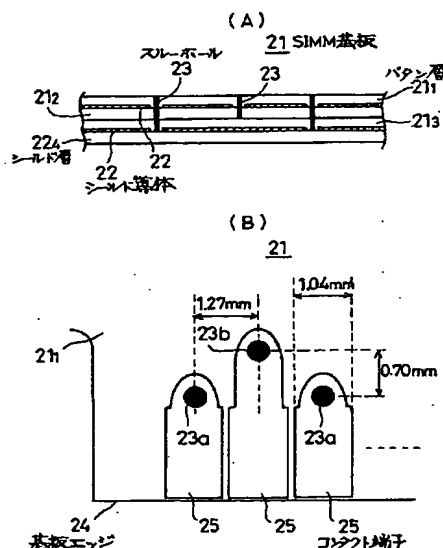
(54) 【発明の名称】 モジュール基板

(57) 【要約】

【目的】 本発明は高密度パターンが形成される多層のモジュール基板に関し、シールド層のシールド導体の分断を回避して電気特性の向上及び安定特性を図ることを目的とする。

【構成】 高密度配列されるコンタクト端子25に形成されるスルーホール23a、23bを、シールド層21においてスルーホール23a、23bのクリアランス部にシールド導体22を介在させるように、千鳥状に配列する構成とする。

本発明の一実施例の構成図



【特許請求の範囲】

【請求項1】 配線パターンが形成されるパターン層（21、21、）とシールド導体（22）が形成されるシールド層（21、21、）とが所定数積層されてスルーホール（23）により層間接続が行われるものであって、所定の端辺（24）に他との接続のための端子部（25）及び該端子部（25）上に該スルーホール（23）が高密度に形成されると共に、該シールド層（21、21、）に該端子部（25）の該スルーホール（23）及び該スルーホール（23）に対応する周囲絶縁部（26a、26b）が形成されるモジュール基板において、

前記シールド層（21、）における前記端子部（25）に対応する前記スルーホール（23a、23b）の周囲絶縁部（26a、26b）間に、前記シールド導体（22）を介在させるべく、該端子部（25）上で該スルーホール（23a、23b）を所定配列することを特徴とするモジュール基板。

【請求項2】 前記端子部（25）上の前記スルーホール（23a、23b）を千鳥状に配列することを特徴とする請求項1記載のモジュール基板。

【請求項3】 配線パターンが形成されるパターン層（21、21、）とシールド導体（22）が形成されるシールド層（21、21、）とが所定数積層されてスルーホール（23）により層間接続が行われるものであって、所定の端辺（24）に他との接続のための端子部（25）以外の層間接続のための領域上の該シールド層（21、21、）に該スルーホール（23）及び該スルーホール（23）に対応する周囲絶縁部（26）が高密度に形成されるモジュール基板において、

前記シールド層（21、）における前記端子部（25）以外の層間接続のためのスルーホール（23）の周囲絶縁部（26）間に、前記シールド導体（22）を介在させるべく、該スルーホール（23）を所定配列することを特徴とするモジュール基板。

【請求項4】 前記端子部（25）以外の領域上の前記スルーホール（23）を千鳥状に配列することを特徴とする請求項3記載のモジュール基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高密度パターンが形成される多層のモジュール基板に関する。

【0002】近年、電子機器に使用される基板に、高密度実装、大容量化に伴う高密度パターンの多層のモジュール基板があり、他との接続を行うためのコンタクト端子間が密となってノイズ特性や電気的特性に影響を及ぼすことがある。そのため、高密度パターンにおいてもノイズや電気的特性の低下を回避する必要がある。

【0003】

【従来の技術】従来、モジュール基板のなかに、例えば

SIMM (Single In-line Memory Module) 基板があり、多数の入出力に対応するコンタクト端子が片側（一边）のみに配列される。

【0004】図3に、従来のモジュール基板における端子の説明図を示す。図3において、SIMM基板11は、高密度実装、大容量化に伴って、高密度パターンが形成されると共に、例えば4層に積層されて構成される。この場合、何れかの層がシールド層として介在される。そして、図3に示すように、最上のパターン層12の片側一辺の基板エッジ12aにコンタクト端子13が複数配列され、該各コンタクト端子13の上部にスルーホール14が形成されて導電部材が充填される。

【0005】スルーホール14は、例えば0.4mm径で直線のかつ基板エッジ12に平行に、ピッチ1.27mmで形成される。

【0006】ここで、図4に、図3の場合のシールド層の説明図を示す。図4(A)、(B)において、シールド層15は、基本的には全面にシールド導体15aが形成されるもので、図14(A)に示すように、スルーホール14及びその周辺の絶縁部分であるクリアランス部16が除かれてシールド導体15aが形成される。この場合のクリアランス部16の外径は例えば約0.9mmで形成される。

【0007】そして、図3のコンタクト端子13に対応するシールド層15におけるスルーホール14及びクリアランス部16は、図4(B)に示すように、基板エッジ12aに直線のかつ平行に配列されて、該クリアランス部16が連なる状態で形成されることになる。

【0008】

【発明が解決しようとする課題】しかし、図4(A)、(B)に示すように、シールド層15においてクリアランス部16が連なる状態で形成されることは、この部分でのシールド導体15aが分断された状態となる。すなわち、コンタクト端子13におけるスルーホール14間にシールド導体15aが形成されないことになり、該コンタクト端子13周辺の電流密度が低下して不均一となり、該コンタクト端子13間における耐ノイズ等の電気的特性を低下させるという問題がある。そこで、本発明は上記課題に鑑みなされたもので、シールド層におけるシールド導体の分断を回避して電気的特性の向上及び安定性を図るモジュール基板を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題は、配線パターンが形成されるパターン層とシールド導体が形成されるシールド層とが所定数積層されてスルーホールにより層間接続が行われるものであって、所定の端辺に他との接続のための端子部及び該端子部上に該スルーホールが高密度に形成されると共に、該シールド層に該端子部の該スルーホール及び該スルーホールに対応する周囲絶縁部が

形成されるモジュール基板において、前記シールド層における少なくとも前記端子部に対応する前記スルーホール周囲絶縁部間に、前記シールド導体を介在させるべく、該端子部上で該スルーホールを所定配列することにより解決される。

【0010】

【作用】上述のように、端子部のスルーホールが直線配置されることでシールド層の周囲絶縁部が連なるほどに該端子部及びスルーホールが高密度に配置しなければならないモジュール基板の場合に、シールド層で該周囲絶縁部間にシールド導体が介在させるように、高密度配置の端子部上のスルーホールを例えば千鳥状に配列する。

【0011】すなわち、周囲絶縁部間にシールド導体を介在させることで、シールド層においてシールド導体の分断が回避される。これにより、電流密度の均一化が図られ、電気特性の向上及び安定性を図ることが可能となる。

【0012】

【実施例】図1に、本発明の一実施例の構成図を示す。図1(A)はSIMM基板の断面図であり、図1(B)はコンタクト端子部分の説明図である。図1(A)におけるモジュール基板であるSIMM基板21は、前述と同様に、例えば、4層が積層されたものとし、1層目と3層目が配線パターン(図示せず)が形成されたパターン層21、21、であり、2層目と4層目がシールド導体22が形成されたシールド層21、21、である。そして、各層21、21、は、所定数の導電部材が充填されたスルーホール(内部回路用と後述のコンタクト端子用の両方を含む)23により層間接続される。

【0013】また、SIMM基板21には、図1(B)に示すように、他との接続のための基板エッジ24が形成されており、最上層21、の基板エッジ24に端子部であるコンタクト端子25が、該基板エッジ24方向に対して所定数配列されて形成される。

【0014】この各コンタクト端子25は、例えば幅1.04mmで、これら中心線でピッチ1.27mmで高密度に配列される。また、各コンタクト端子25は、一つ置きに両側の頭部25aより長い(基板エッジ24と垂直方向)頭部25bで形成される。

【0015】そして、各コンタクト端子25の各頭部25a、25bに、下層のパターン層21、の配線パターンに対応する例えば0.4mm径のスルーホール23a、23bが形成され、上述のように該スルーホール23a、23b内に導電部材が充電される。この場合、スルーホール25aとスルーホール25bとの長さ方向のピッチが、例えば0.70mmで形成される。すなわち、このスルーホール25a、25bは千鳥状に形成されるものである。

【0016】そこで、図2に、図1のシールド層の説明図を示す。図2に示すシールド層は、図1(A)に示す

ようにSIMM基板21が4層の場合には第2層のシールド層21、に該当する。

【0017】図2(A)において、シールド層21、の基板エッジ24部分には、図1(B)に示すスルーホール23a、23bが千鳥状に形成されており、各スルーホール23a、23bの周囲に絶縁部であるクリアランス部26a、26bが例えば直径0.9mm(スルーホールからクリアランス部周縁までは0.25mm)でそれぞれ形成される。そして、クリアランス部26a、26b以外の全面にはシールド導体22が形成される。

【0018】すなわち、図2(B)に示すように、図1(B)に示すコンタクト端子25に形成されたスルーホール23a、23bに対応するクリアランス部26a、26bが千鳥状に配列されることになる。この場合、各クリアランス部26a、26b間の最短距離が約0.55mm形成されることになる。このことは、各スルーホール23a、23b間にシールド導体22が介在されることを意味する。

【0019】なお、図2(B)において、23、26はコンタクト端子25に関係のない内部の配線パターン間の層間接続のためのスルーホール及びクリアランス部である。

【0020】このように、シールド層21、において、各コンタクト端子25に形成される各スルーホール23a、23b間が離隔してシールド導体22が介在されることから、各スルーホール23a、23b間の電流密度が均一となって十分なシールド状態とすることができ、これにより、電源電圧や接地電圧が混在するコンタクト端子25間のノイズを低減することができ、電気特性の向上及び安定性を実現することができるものである。

【0021】また、上記実施例ではコンタクト端子25上の各スルーホール23a、23bについて説明したが、該コンタクト端子25以外の領域上に形成される層間接続のためのスルーホール23が高密度でクリアランス部26によりシールド導体22が分断されるような場合においても同様に該スルーホール23及びクリアランス部26が千鳥状に配列される。

【0022】これにより、基板全体を通して電流密度の増減が回避されて電流密度が均一化され、十分なシールド状態とすることができるものである。

【0023】なお、上述の実施例では、SIMM基板21が4層の場合を示したが、通常採用される6層又はそれ以上であってもよい。また、本発明の適用はSIMM基板に限らず、高密度パターンの形成の結果によりシールド層のシールド導体がクリアランス部で分断されるようなモジュール基板に適用することができるものである。

【0024】

【発明の効果】以上のように本発明によれば、シールド

層の少なくとも端子部に対応するスルーホール周囲絶縁部間にシールド導体を介在させるように該スルーホールを配列することにより、シールド層のシールド導体の分断が回避されて端子部間のノイズを低減することができ、電気特性の向上及び安定性を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

【図2】図1のシールド層の説明図である。

【図3】従来のモジュール基板における端子の説明図である。

*【図4】図3の場合のシールド層の説明図である。

【符号の説明】

21 SIMM基板

21₁, 21₂ パターン層

21₃, 21₄ シールド層

22 シールド導体

23, 23a, 23b スルーホール

24 基板エッジ

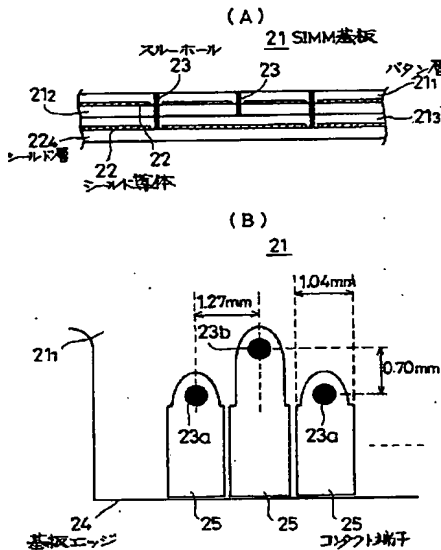
25 コンタクト端子

25a, 25b 頭部

* 26, 26a, 26b クリアランス部

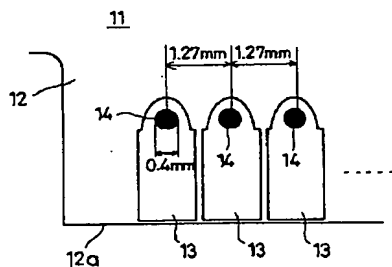
【図1】

本発明の一実施例の構成図



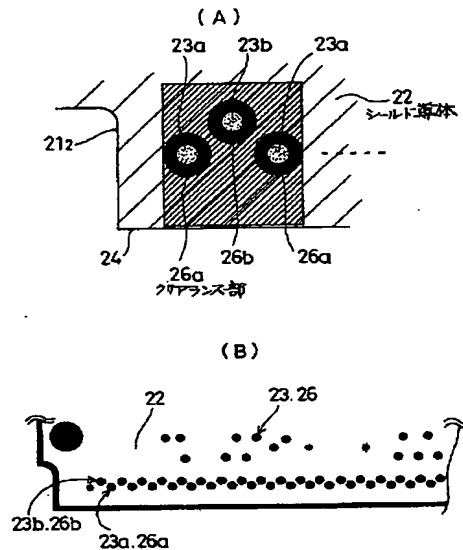
【図3】

従来のモジュール基板における端子の説明図



【図2】

図1のシールド層の説明図



【図4】

図3の場合のシールド層の説明図

